

#8

DIALOG(R)File 347:JAPIO

(c) 2003 JPO &amp; JAPIO. All rts. reserv.

03638012      \*\*Image available\*\*

DISPLAY CONTROLLER

PUB. NO.:      04-003112 [JP 4003112 A]

PUBLISHED:      January 08, 1992 (19920108)

INVENTOR(s):    NONOSHITA HIROSHI

ISHIZAWA YASUHISA

YAMANASHI YOSHITSUGU

CHO KENJIRO

APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:      02-105626 [JP 90105626]

FILED:          April 20, 1990 (19900420)

INTL CLASS:    [5] G02F-001/133; G09G-003/20; G09G-003/36

JAPIO CLASS:   29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9  
(COMMUNICATION -- Other)JAPIO KEYWORD: R005 (PIEZOELECTRIC FERROELECTRIC SUBSTANCES); R011  
(LIQUID CRYSTALS)JOURNAL:        Section: P, Section No. 1336, Vol. 16, No. 147, Pg. 115,  
April 13, 1992 (19920413)**ABSTRACT**

**PURPOSE:** To allow the follow up to a change in display information by time dividedly and alternately executing the cycle for refreshing the display over the entire part of the screen of the above-mentioned display device and the cycle for refreshing only the certain part having a change in display contents.

**CONSTITUTION:** The address signal of a video memory 41 corresponding to rewriting of desired data is applied via an address driver 31 to a memory controller 40 where the arbitration of the memory access request signal of a CPU and the data transfer request signal from a synchronous control circuit 39 is executed. The memory controller 40 executes a changeover in such a manner that an address selector 35 selects the address accessed by the CPU as the address to be applied to the memory 41 when the CPU access side obtain a right. The control signal of the video memory 41 is generated from the memory controller 40 simultaneously therewith and the reading and writing of the data are executed via a data bus driver 33. The follow-up of the display of the screen with high responsiveness is executed in this way.

図知2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

## ⑫ 公開特許公報(A) 平4-3112

⑬ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月8日

G 02 F 1/133  
G 09 G 3/20  
3/36

5 6 0

8806-2K  
8821-5G  
8821-5G

審査請求 未請求 請求項の数 4 (全18頁)

⑮ 発明の名称 表示制御装置

⑯ 特 願 平2-105626

⑰ 出 願 平2(1990)4月20日

⑱ 発 明 者 野 々 下 博 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 ⑱ 発 明 者 石 沢 康 久 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 ⑱ 発 明 者 山 梨 能 嗣 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 ⑱ 発 明 者 長 健 二 朗 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
 ⑲ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号  
 ⑳ 代 理 人 弁理士 谷 義 一

明 細 書

る請求項1に記載の表示制御装置。

## 1. 発明の名称

表示制御装置

4) 前記表示内容に変更のある部分のみを更新する期間においては、前記記憶手段に記憶された前記表示内容に変更のある部分に関する情報に従って前記図素の表示状態を変更するようにしたこと  
 を特徴とする請求項3に記載の表示制御装置。

## 2. 特許請求の範囲

1) 図素の表示状態を部分的に変更可能な表示装置の表示制御装置において、前記表示装置の画面全体の表示を更新する期間と表示内容に変更のある部分のみを更新する期間とを時分割に交互に行なう手段を具えたことを特徴とする表示制御装置。

(以 下 余 白)

2) 前記画面全体の表示を更新する期間においては、前記画面の一方の端部から対角線上の他方の端部までの図素を順番に変更することを特徴とする請求項1に記載の表示制御装置。

3) 前記表示内容に変更のある部分に関する情報を一定期間記憶する手段を具えたことを特徴とする

## 特開平4-3112 (2)

## 3. 発明の詳細な説明

## 【産業上の利用分野】

本発明は、表示制御装置に関し、詳しくは、例えば液晶電性液晶を表示更新のための動作媒体として用い電界の印加等によって更新された表示状態を保持可能な表示素子を具えた表示装置のための表示制御装置に関する。

## 【従来の技術】

一般に、情報処理システムなどには、情報の視覚表示機能をもつ情報表示手段として表示装置が接続されている。このような表示装置としてはCRTが広く利用されており、このような情報処理装置に接続されるCRTのための表示制御装置の一例を第7図に示す。

図において、1はアドレスバスドライバ、2はコントロールバスドライバ、3はデータバスドライバであり、それぞれ情報処理システムを構成する各機群間を信号接続するためのシステムバス4に接続されている。5はデータバスドライバ3を

レスドライバ1およびアドレスセレクト10を介してビデオメモリ5に与えられる。これに伴ない、そのビデオメモリ5には、メモリコントローラ9からのDRAM制御信号と、データバスドライバ3を介した表示データが与えられる。これにより、表示データがビデオメモリ5に書き込まれる。

一方、CRT7への表示は、CRTC8がドライバ6に同期信号を与え、かつその同期信号に合わせて、CRTC8がメモリコントローラ9にデータ転送要求信号を与えると共に、アドレスセレクト10にデータ転送要求アドレスを与えることにより実行される。

まず、データ転送要求信号がメモリコントローラ9にてアービトレーションを受け、これに応じてアドレス選択信号がメモリコントローラ9からアドレスセレクト10に与えられると、CRTC8からのデータ転送要求アドレスがアドレスセレクト10を介してビデオメモリ5に与えられる。また、そのビデオメモリ5にはメモリコントローラ9からDRAM制御信号が与えられ、

介して転送される表示データを記憶するビデオメモリ、6は表示制御装置とCRTとの間のデータ転送のためのドライバ、7はCRTである。

ビデオメモリ5はデュアルポートのDRAM(ダイナミックRAM)によって構成されており、表示データが直接書き込まれる。ビデオメモリ5に書き込まれた表示データは、CRTC(CRTコントローラ)8によって順次読み出され、CRT7に表示される。

すなわち、表示データの書き込みのときは、図示しない情報処理システムのCPUがCRT7の表示エリアに対応するビデオメモリ5のアドレスをアクセスする。まず、そのアクセスの要求信号がコントロールバスドライバ2を介してメモリコントローラ9に与えられ、この信号をCRTC8から与えられるデータ転送要求信号またはリフレッシュ要求信号とのアービトレーションを受ける。これに応じて、CPUのメモリアクセス時には、メモリコントローラ9からアドレスセレクト10にアドレス選択信号が与えられ、CPUからのデータ書き込みのためのアクセスアドレスがアド

これによりデータ転送要求サイクルが実行される。このデータ転送要求サイクルとは、ビデオメモリ5のライン(表面画素のラスタに相当する)単位のデータをビデオメモリ5内のシフトレジスタに転送することであり、1回のデータ転送要求サイクルによって1ラインから数ライン分のデータをシフトレジスタに転送できる。

そして、シフトレジスタに転送された表示データは、ビデオメモリ5に与えられるCRTC8からのシリアルポート制御信号によって、順次シフトレジスタから読み出されてCRT7へ出力されて表示される。ビデオメモリ5からの表示データの読み出しおよびこれに伴う表示は、表示エリアに対応してその上部から下部へ1ラインずつ行なわれ、その1ライン中においては左端から右端への一定の順番で行なう、いわゆる全面リフレッシュ動作によって行なわれる。

このように、CRTの表示制御の場合には、ビデオメモリ5に対するCPUの書き込み動作と、CRT

## 特開平4-3112 (3)

コントローラ 8 によるビデオメモリ 5 からの表示データの読み出し表示の動作がそれぞれ独立に実行される。

上述したような CRT 用の表示制御装置の場合、表示情報を変更するなどのためのビデオメモリ 5 に対する表示データの書き込みと、そのビデオメモリ 5 から表示データを読み出して表示する動作が独立しているため、情報処理システムのプログラムでは表示タイミング等を一切考慮する必要がなく、任意のタイミングで所望の表示データを書き込むことができるという利点を有している。

ところが一方で、CRT は特に表示画面の厚み方向の長さをある程度必要とするため全体としてその容積が大きくなり、表示装置全体の小型化を図り難い。また、これにより、このような CRT を表示器として用いた情報処理システムの使用にあたっての自由度、すなわち設置場所、携帯性等の自由度が損われる。

この点を補うものとして液晶表示器（以下、LCD という）を用いることができる。すなわち、

状態を維持する。このような FLC の分子の双安定性により、FLCD は記憶性を有する。このような FLC および FLCD の詳細は、例えば特願昭 62-76357 号に記載されている。

## 【発明が解決しようとする課題】

ところが、以上のような利点を有する FLCD を前述の CRT と同様の表示制御により情報処理システムの表示装置として用いる場合、FLC の表示更新動作にかかる時間が比較的に遅いため、例えば、カーソル、文字入力、スクロール等、即座にその表示が書き換えられなければならないような表示情報の変化に追従できないことがあった。

これに対して、FLCD の特長の一つである部分書き換えが可能であることを利用し、この処理を行うため、情報処理システム側はこの処理であることを識別するための情報を与える等を行なう構成もあるが、前述した表示画面上における部分的な書き換え駆動を実現するためには、情報処理システムにおける制御プログラム的大幅な変更を余儀

LCD によれば、表示装置全体の小型化（特に薄型化）を図ることができる。このような LCD の中には、上述した強誘電性液晶（以下、FLC: Ferroelectric Liquid Crystal という）の液晶セルを用いた表示器（以下、FLCD: FLC ディスプレイ という）があり、その特長の 1 つは、その液晶セルが電界の印加に対して表示状態の保存性を有することにある。そのため、FLCD を駆動する場合には、CRT や他の液晶表示器と異なり、表示画面の連続的なリフレッシュ駆動の周期に時間的な余裕ができ、また、その連続的なリフレッシュ駆動とは別に、表示画面上の変更にあたる部分のみの表示状態を更新する部分書き換え駆動が可能となる。したがって、このような FLCD は他の液晶表示器と比較して大画面の表示器とすることができる。

ここで、FLCD は、その液晶セルが十分に薄いものであり、その中の細長い FLC の分子は、電界の印加方向に応じて第 1 の安定状態または第 2 の安定状態に配向し、電界を切ってもそれぞれの配向

なくされていた。

本発明は上述の観点に基づいてなされたものであり、情報処理システムのソフトウェアを大幅に変更せずに、CRT との互換性を有した FLCD 等の表示制御装置を提供することを目的とする。

また、FLCD 等における表示状態の保存性を有効に利用し最適な画質を実現可能な表示制御装置を提供することを本発明の他の目的とする。

## 【課題を解決するための手段】

かかる目的を達成するために、本発明は、画面の表示状態を部分的に変更可能な表示装置の表示制御装置において、前記表示装置の画面全体の表示を更新する期間と表示内容に変更のある部分のみを更新する期間とを時分割に交互に行なう手段を具えたことを特徴とする。

## 【作用】

本発明によれば、画面全体を順番に書き換えるサイクルと CPU 等ホスト側からアクセスされたラ

## 特開平4-3112 (4)

イン等の部分を書き換えるサイクルとを時分割に交互に行う手段を設けることで、部分書き込みするデータかどうかの識別をコマンド等に応じて行う必要無く、一定の画面全体の表示更新の速度（リフレッシュレート）を保つことができ、且つ書き換えられたデータを直ちに表示することも可能になる。

(以下 余 白)

フロッピーディスク装置19のためのディスクインターフェース、21は例えばレーザビームプリンタ、インクジェットプリンタ等高解像度のプリンタ、22はプリンタ21のためのプリンタインターフェース、23は文字、数字等のキャラクタその他の入力を行うためのキーボード、24はポインティングデバイスであるマウス、25はキーボード23やマウス24のためのインターフェース、26は例えば本出願人により特開昭63-243993号等において開示された表示器と用いて構成できるFLCD(FLCディスプレイ)、27はFLCD26のためのFLCDインターフェースである。

第2図は本発明表示制御装置の一実施例としてのFLCDインターフェース27の構成例を示すブロック図である。

図において、31はアドレスバスドライバ、32はコントロールバスドライバ、33,43,44はデータバスドライバである。CPU11からのアドレスデータは、アドレスバスドライバ31から、メモリコントローラ40およびアドレスセレクトラ35の一方の入力

## 【実施例】

以下、図面を参照して本発明を詳細に説明する。

## (第1実施例)

第1図は本発明の一実施例に係る表示制御装置を組み込んだ情報処理システム全体のブロック構成図である。

図において、11は情報処理システム全体を制御するCPU、12はアドレスバス、コントロールバス、データバスからなるシステムバス、13はプログラムを記憶したり、ワーク領域として使われるメインメモリ、14はCPU11を介さずにメモリとI/O機器間でデータの転送を行うDMAコントローラ(Direct Memory Access Controller、以下DMACという)、15はイーサネット(XEROX社による)等のLAN(ローカルネットワーク)15との間のLANインターフェース、17はROM、SRAM、MS232C仕様のインタフェース等からなるI/O機器接続用のI/O装置、18はハードディスク装置、19はフロッピーディスク装置、20はハードディスク装置18やフ

部に与えられるとともに、第1のスイッチS1の切り換えによってFIFO形態のメモリ36または37に選択的に与えられて記憶される。すなわち、これらメモリ36および37(以下、それぞれFIFO(A)およびFIFO(B)ともいう)は、書き込んだ順番にデータを読み出すFIFO(First In First Out)メモリであり、これらのメモリ36および37に書き込まれたアドレスデータは、第2のスイッチS2の切り換えによって選択的に読み出される。

これらのメモリ36または37から読み出されたアドレスデータと、後述するアドレスカウンタ38からのアドレスデータは、第3のスイッチS3の切り換えによって選択的にアドレスセレクトラ35の他方の入力部に与えられる。アドレスカウンタ38は、画面全体をライン順次にリフレッシュするためのアドレスデータを発生するものであり、そのアドレスデータの発生タイミングは同期制御回路39によって制御される。この同期制御回路39は、前記スイッチS1, S2 およびS3の切り換え制御信号や後述するメモリコントローラ40へのデータトランス

## 特開平4-3112 (5)

ファ要求信号をも発生する。

CPU11 からのコントロール信号は、コントロールバスドライバ32からメモリコントローラ40に与えられ、そのメモリコントローラ40は、サンプリングカウンタ34と、アドレスセレクト10の制御信号、および後述するビデオメモリ41の制御信号を発生する。サンプリングカウンタ34は、メモリコントローラ40からの歩進信号に基づいて計数動作を行い、同期制御回路39の制御信号を発生する。また、アドレスセレクト35は、メモリコントローラ40からの制御信号に基づいて、当該アドレスセレクト35の入力部に与えられる2つのアドレスデータの一方を選択してビデオメモリ41に与える。

ビデオメモリ41は表示データを記憶するものであり、デュアルポートのDRAM (ダイナミックRAM) で構成されていて、前記データバスドライバ33を介して表示データの書き込みと読み出しを行う。ビデオメモリ41に書き込まれた表示データは、ドライバレシーバ42を介してFLCD26に転送されて表

示される。また、そのドライバレシーバ42は、FLCD26からの同期信号を同期制御回路39に与える。FLCD26には、FLC の温度を検出する温度センサ26a が組み込まれている。

また、CPU11 からの後述の設定データは、データバスドライバ43を介して同期制御回路39に与えられる。さらに、温度センサ26a の出力信号はデータバスドライバ44を介してCPU11 に転送される。

以上の構成において、CPU11 が表示の変更を行う場合、所望するデータの書換えに対応するビデオメモリ41のアドレス信号がアドレスバスドライバ31を介してメモリコントローラ40に与えられ、ここでCPU11 のメモリアクセス要求信号と同期制御回路39からのデータ転送要求信号とのアービトレーションが行われる。そしてCPU アクセス側が権利を得るとメモリコントローラ40はアドレスセレクト35に対し、メモリ41へ与えるアドレスとしてCPU がアクセスしたアドレスを選択するよう切換えを行う。これと同時にメモリコント

ローラ40からビデオメモリ41の制御信号が発生され、データバスドライバ33を介してデータの読書きが行われる。このとき、CPU アクセスアドレス20はスイッチ51を介してFIFO(A)36 またはFIFO(B)37 に記憶され、後述する表示データの転送の際利用される。このようにCPU11 から見た表示データのアクセス方法は前述のCRT の場合と少しも変わらない。

また、ビデオメモリ41からデータを読出し、FLCD26へ転送する場合、同期制御回路39からメモリコントローラ40へデータ転送要求が発生され、ビデオメモリ41に対するアドレスとしてアドレスカウンタ38またはFIFO側アドレスがアドレスセレクト36において選択されるとともに、メモリコントローラ40よりデータ転送用の制御信号が生成されることで、メモリセルからシフトレジスタへ該当アドレスのデータが転送され、シリアルポートの制御信号によりドライバ42へ出力される。

同期制御回路39では、FLCD26からの水平同期信

号HSYNC に基づいて複数ラインを単位として画面をライン順次に全面リフレッシュして行くサイクルとCPU11 によりアクセスされたラインの書換えを行う部分書換えサイクルとを交互に生じさせるタイミングを生成する。ここで、全面リフレッシュのサイクルとは表示画面上一番上のライン (先端ライン) から順次に下方へ向けて書換えを行っていき、一番下のラインまで至ると再び先端ラインに戻って書換えを繰返して行くものである。また、アクセスラインの書換えサイクルとはそのサイクルの直前の所定時間内にCPU11 からアクセスされたラインを書き換えるものである。

このように、本例においては、基本的にはFLC ディスプレイ26の画面全面を順次リフレッシュして行く動作と、表示内容の変更を行うべくCPU11 によりアクセスされたラインの書換えを行う動作とを時分割に交互に行うが、さらにそれら動作の繰返し同期と1周期内におけるそれら動作の時間的比率とを設定可能とするとともに、ライン書換え (部分書換え) の動作期間をCPU11 によりアク

## 特開平4-3112 (6)

セスされたラインの数等に応じて調整するようにする。

まず、第3図を用いてリフレッシュの動作とライン番換えの動作とを時分割に交互に行う本例の基本的動作について説明する。ここでは、リフレッシュのサイクルを4ラインを単位として、アクセスラインの番換えサイクルを3ラインを単位として行う場合の例を示す。

第3図において、REF/ACS は全面リフレッシュのサイクルとアクセスラインの番換えサイクルとを交互に生じさせるタイミングであり、“1”のときに全面リフレッシュのサイクルで、“0”のときにアクセスラインの番換えサイクルであることを示す。また、 $T_1$ は全面リフレッシュのサイクルの時間、 $T_2$ はアクセスラインの番換えサイクルの時間を表わす。この例においては、 $T_1 : T_2 = 4 : 3$ としているが、要求されるリフレッシュレート等によって最適な値を選ぶことができる。すなわち、 $T_1$ の割合を大きくすればリフレッシュレートを上げることができ、 $T_2$ の割合を大きくす

れば部分的な変更の応答性を良くすることができる。この態様については後述する。

FIFO(A)36 およびFIFO(B)37 の状態を説明するに、スイッチS1がFIFO(A)36 側に接続されると(状態A/B = 1)、CPU11 がアクセスするラインのアドレスはFIFO(A)36 にサンプリングされて記憶される。一方スイッチS1がFIFO(B)37 側に接続されると(A/B = 0)、CPU11 がアクセスするラインアドレスがFIFO(B)37 に記憶される。また、スイッチS2がFIFO(A)36 側に接続されると(A/B = 1)、FIFO(A)36 に記憶されたアドレスが出力され、スイッチS2がFIFO(B)37 側に接続されると(A/B = 0)、FIFO(B)37 に記憶されたアドレスが出力される。

画面全体の1回のリフレッシュが完了し、FLCD 28が垂直同期信号VSYNC を出力したり、あるいはアドレスカウンタ38にキャリーが生じるとアドレスカウンタ38がクリアされ、次の全面リフレッシュのサイクルで出力されるラインは第0ラインに戻り、FLCD28より同期制御回路39を介して与え

られる水平同期信号HSYNC 毎に“1”、“2”、“3”と順次カウントアップしていく。この間にCPU11 よりラインL1、L2、L3のアドレスがアクセスされると、スイッチS1がFIFO(A)36 に接続されているので、L1、L2、L3のアドレスがここに記憶され、その後スイッチS2がFIFO(A)36 に接続された時点でL1、L2、L3のアドレスがここから出力され、出力ラインとしてL1、L2、L3が選ばれる。ここで、スイッチS3の切換え信号は同期制御回路39からのREF/ACS として与えられ、ラインアクセスのサイクルでは出力ラインアドレスとしてFIFO(A)、FIFO(B)側に切換えられる。

そして、このときスイッチS1がFIFO(B)37 側に接続されているのでFIFO(B)37 側にアクセスアドレスが記憶される。REF/ACS が“1”となると、スイッチS3はアドレスカウンタ38側に切換えられ、リフレッシュ動作を前サイクルの続きのラインから行う。第3図においては、L3のライン出力後に前サイクルの続きである“4”、“5”、“6”、“7”のラインが出力されている。以下

同様にして、上述の動作を繰返すが、FIFOを2つ用意したのは、一方でメモリアクセスされたアドレスをサンプリングし、同時に他方でサンプリングしたアドレスを出力することを矛盾無く、かつ効率よく実行するためである。すなわち、アドレスのサンプリング期間は他方のFIFOのアクセスラインの出力開始から全面リフレッシュサイクルの終了までであり、全面リフレッシュサイクルの終了後、直前のサンプリング期間でサンプリングしたアドレスを出力するアクセスラインの番換えサイクルに入ると同時に、他方のFIFOのアドレスサンプリング期間が開始されることになる。

以上のように、本例の基本的動作ではリフレッシュサイクルとライン番換えのサイクルとを交互に繰返し、第3図ではその繰返し周期を7ラインを1単位として $T_1 : T_2 = 4 : 3$ として説明したが、本例ではさらに温度等の環境条件や表示するデータの種類、あるいはさらにFLCDの表示デバイス素材の違い等に応じて要求されるリフレッシュレート等によって $T_1$ と $T_2$ との比率を変更可能とす

## 特開平4-3112 (7)

る。すなわち、 $T_0$ の割合（1リフレッシュサイクル内のライン数 $M$ に対応。すなわち $T_0 = M \times (\text{HSYNCの周期})$ ）を大きくすればリフレッシュレートを向上することができ、例えば低温時等FLC素子の応答性が低い場合やイメージ画像を表示する場合においても良好な表示状態を得ることができる。逆に、 $T_1$ の割合（1つの部分書き換えサイクル内のライン数 $N$ に対応。すなわち $T_1 = N \times (\text{HSYNCの周期})$ ）を大とすれば部分的な表示の変更の応答性を高くすることができ、高温時や文字等キャラクタの表示時等、リフレッシュレートが高くなってもよい場合に対応できることになる。

また、本実施例では繰返し周期のライン数をも設定可能とすることで、リフレッシュサイクルおよび部分書き換の割合をより細かく変えることができるようにし、より細やかな最適化を図るようにする。例えば、リフレッシュレートを優先させなければならない、もしくは優先したい場合に、繰返し周期のライン数を40ラインにして $T_0 : T_1 = 4 : 1$ とすれば、全面リフレッシュを32ライン分

行ってアクセスラインの書き換えを8ライン行うことができる。また、部分書き換えを優先できる、もしくは優先したい場合は繰返し周期のライン数を10ラインにして $T_0 : T_1 = 3 : 2$ とすれば、全面リフレッシュ2を6ライン分行ってアクセスラインの書き換えを4ライン行うことができる。

さらに、本実施例においては、そのように設定された部分書き換のライン数の範囲内において、CPU11にアクセスされたライン数およびラインアクセス状態に応じ、リフレッシュサイクル間に行われる実際の部分書き換えライン数 $P$ を調整するようにする。すなわち、CPU11がアクセスしたラインの数等に応じて動的に $T_1$ 時間を調整することで、例えばCPU11からあまりアクセスされないときの無駄なライン書き換えサイクルを省き、リフレッシュレートを向上するようにする。これによって、動作の追従性とリフレッシュレートとの関係を動的に最適化できるようになる。

これは、例えば次表のようなルールに従って行うことができる。

アクセスされたラインの数	アクセスライン書き換えサイクルの転送ライン数(P)
0～1	0
2～3	2
4～6	4
7～9	7
10～	10

第1表

例示した第1表において、 $T_1$ は0ライン分から10ライン分の時間だけアクセスライン数によって変化する。 $T_0$ の割合が小さくなればリフレッシュレートが上がり、 $T_1$ の割合が大きくなればリフレッシュレートは下がるが、例示の第1表における10ライン（上述のように温度等に従って設定されたライン数）のように制限値を設けているので、上記設定された値以上のリフレッシュレートを保つことができる。すなわち、アクセスされたラインの数によって $T_0 : T_1$ の割合を変化させるため、動的に最適な部分書き換のタイミングを調整

できるとともに、リフレッシュレートをさらに向上させることができる。

第4図は以上の設定および調整を行ってリフレッシュサイクルと部分書き換えサイクルとを定める信号REF/ACSを出力するための同期制御回路39の内部構成例を示す。

ここで、Cはサンプリングカウンタ34によるカウント値、Mは温度等の条件に応じてCPU11側よりデータバスコントローラ43を介して設定される1リフレッシュサイクル内のライン数に対応した値を示す信号、Nは同じく1つの部分書き換えサイクル内のライン数に対応した値を示す信号である。

390は当該与えられるN値( $N_1, \dots, N_n$ )に対応して第1表に示した如きP値を格納したテーブル群（各テーブルにおいて最大のP値をそれぞれ $N_1, \dots, N_n$ とすることができる）を設けたメモリであり、例えばROMを用いて構成できる。391はサンプリングカウンタ34より与えられるカウント値入力、そのときのN値に対応したテーブルに与え



## 時間予4-3112 (8)

るための参照テーブル切換え部である。そして、これによりメモリ390から選択された値が転送ライン数Pとしてカウンタ393に輸入される。そして、カウンタ393は、与えられたM値およびP値に従って同期信号HSYNCをカウントし、信号REF/ACSを出力する。

ところで、本例においては、1サンプリング期間において同一ラインが1回以上アクセスされても、これを1回として計数するようにする。すなわち、1サンプリング期間に与えられたあるアドレスが、すでにその期間に与えられているアドレスと同一ラインに含まれるものである場合には、サンプリングカウンタ34の歩進が行われないようにし、異なるラインの数の計数のみを行うようにする。

第5図はかかるサンプリングカウンタの計数動作制御を行うための構成例であり、例えばメモリコントローラ40に設けておくことができる。ここで、401は1サンプリング期間に輸入したアドレスをラッチするアドレスラッチ部、403は入力し

たアドレスとアドレスラッチ部にラッチされているアドレスとを比較する比較回路であり、入力したアドレスが、ラッチされているいずれのアドレスとも同一ラインにないときのみサンプリングカウンタ34の歩進信号を出力する。

上記において、アドレスラッチ部401の内容およびサンプリングカウンタ34は、1サンプリング期間の終了時にリセットすればよい。また、第5図の各部動作を行うのはCPU11によるビデオメモリ41に対するデータ書き込み（ライト）時とすればよい。

なお、同一ラインのアドレスが複数回アクセスされてもその都度カウントを行うのであれば、第5図の構成は不要であり、ビデオメモリ41に対するライト信号もしくはラインの数を単に計数するようにすればよい。

次に、第6図を用いて部分書き換えの動作期間の調整の態様を例示する。

第3図と同様に、画面全体の1回のリフレッシュが完了し、FLCD26が垂直同期信号を出力した

り、あるいはアドレスカウンタ38にキャリーが生じると、アドレスカウンタ38がクリアされ、次の全面リフレッシュのサイクルで出力されるラインは“0”に戻り、水平同期信号HSYNC毎に“1”、“2”、“3”と順次カウントアップしていく。この間にCPU11よりL1、L2、L3、L4、L5のアドレスがアクセスされると、スイッチS1がFIFO(A)36側に接続されているので、L1、L2、L3、L4、L5のアドレスがFIFO(A)36に記憶される。また、サンプリングカウンタ34の値は“5”を示す。第1表に対応したテーブルが参照される場合には、サンプリングカウンタ値が“5”の場合はP=4ラインの出力であるので、スイッチS2がFIFO(A)36に接続された時点で最初の4ラインであるL1、L2、L3、L4がFIFO(A)36から出力され、出力ラインとしてL1、L2、L3、L4が選ばれる。ここで、スイッチS3の切換え信号はREF/ACSで与えられるので、このときは出力ラインアドレスとしてFIFO側のアドレスが選ばれる。

また、このときスイッチS1(A/B)が“0”に

なっているのでFIFO(B)37側にアクセスアドレスが記憶される。REF/ACSが“1”になると、スイッチS3はアドレスカウンタ側に切換わりリフレッシュラインの前サイクルの続きを行う。第6図においてはL4のライン出力後に前サイクルの続きである4、5、6、7ラインが出力されている。

ここで、FIFO(B)37のアクセスアドレスサンプリング期間中には、同一のL6が3回アクセスされただけで、サンプリングカウンタ値は“1”であるので、第1表に対応したテーブルの場合アクセスアドレス書き換えサイクルの期間は“0”となり、全面リフレッシュサイクルが連続することになる。次のFIFO(A)36のアクセスアドレスサンプリング期間は全面リフレッシュサイクルの間だけとなるが、この間にサンプリングされた3ラインの内2ラインが次のアクセスアドレス書き換えサイクルで転送される。以下、同様の動作を繰返すが、ここで部分書き換えで行われなかったライン（例えばL5、L6、L9）もリフレッシュサイクルにていずれ書き換えられる。

## 特開平4-3112 (9)

次に、本例装置にかかる以上の各部によって行われる動作を説明する。

第7図はその動作手順の一例を示し、まずステップS200Aでは温度センサ26aの検出値をCPU11がリードし、ステップS200Bにてこれに応じた最適のM値(1リフレッシュサイクル内のライン数であってTを規定するもの)とN値(1つの部分書き換えサイクル内のライン数であって最大のTを規定するもの)とを同期制御回路39に設定する。

次に、ステップS201にてスイッチS1およびS2の初期状態を設定する。ここでは、スイッチS1をFIFO(A)36側にし、スイッチS2をFIFO(B)37側にしたが、これはどちらかに確定させればどちらから始めても構わない。ステップS202ではアドレスカウンタ38をクリアし、そのリフレッシュアドレスを初期値、例えば"0"にする。次に、ステップS203でREF/ACSを"1"にして全面リフレッシュサイクルが行われるようにする。また、リフレッシュまたは部分書き換の1サイクル(ここで

は1リフレッシュサイクル)内の転送ライン数を数えるためのカウンタをクリアし、そのカウンタ値LNを"0"にしておく。

次に、ステップS205にて、最終ラインまでのリフレッシュが終了してアドレスカウンタにキャリーが生じた期間(帰線期間)中であるかどうかを判定し、その期間中ならばステップS200Aに戻るが、期間中でなければステップS206でHSYNCが来るのを待つ。HSYNCが来ると、リフレッシュラインアドレスで示されるラインのデータをFLCD26へ転送する。ステップS208では1回の全面リフレッシュサイクルで転送するライン数Mを終了したかどうかを判定しており、LNがMより小さければステップS209へ移行し、アドレスカウンタ38をカウントアップし、ステップS210でLNを+1步進してステップS206へ戻る。これをMライン転送するまで繰返すわけであり、第6図に示した例においてはM=4であるからステップS206~S210のループを4回繰返すことになる。

Mラインの転送が終了すると、設定されたN値

およびサンプリングカウンタ34のカウント値Cより得られるアクセスラインの書き換えサイクル中の転送ライン数PをステップS219で参照し、"0"ならばアクセスラインの書き換えサイクルを省略し、ステップS203へ移って再び全面リフレッシュサイクルを行う。一方、ステップS219でPが"0"でなければアクセスラインの書き換えサイクルを実行するためのステップS211へ移る。

ステップS211ではREF/ACSを"0"にしてアクセスラインの書き換えサイクルが行われるようにする。また、スイッチS1とスイッチS2とのそれぞれの接続状態を逆転させ、FIFOのアドレスサンプリングとラインアドレス出力の役目を逆にする。次に、ステップS212でアクセスラインの書き換えサイクル中の転送ライン数を数えるために、再びカウンタ値LNを"0"にしておく。ステップS213ではFIFO(A)36またはFIFO(B)37のいずれか一方からサンプリングしたアドレスを読出す。

ステップS215ではHSYNCが来るのを待ち、入来た場合にはステップS216で先程読出したアドレ

スのラインのデータをFLCD26へ転送する。次に、ステップS217でラインの転送がPライン分終了したかどうか判定する。すなわち、LNがPより小さければステップS218へ移り、LNを+1步進してステップS213へ戻るようにし、これをPライン分終了するまで繰返す。P=4である場合にはステップS213~S218のループを4回繰返すことになる。そして、Pライン終了すると再び全面リフレッシュサイクルを実行するべく、ステップS203へ戻る。

以上述べてきたように、ビデオメモリ41の内容を表示するのは、ステップS203からS208までの全面リフレッシュサイクルと、ステップS211からS217までのアクセスラインの書き換えサイクルを繰返し、アドレスカウンタ38にキャリーが生じたときに全面リフレッシュサイクルのラインを先頭に戻して信号を初期化することで行われる。一方、CPU11は表示した内容を得るために、上記表示動作とは独立にビデオメモリ41からデータを読出したり書込んだりすれば良いわけである。

## 特開平4-3112 (10)

以上述べてきたようにビデオメモリ41からデータを読出してFLGD26へ転送するのはコマンド解釈も不要であり、比較的簡単な回路で構成できるのみならず、グラフィックプロセッサ等を設けてコマンド解釈を行って表示制御を行うよりも簡単に実現可能であり、システム全体のコストダウンを図りながら性能の向上も可能である。

## (第2実施例)

第2図においては、サンプリングアドレスの記憶手段としてFIFOを用いたが、第8図に示したように、サンプリングアドレスの記憶手段としてSRAM等を用いてアドレス制御を行うことで、第9図に示したようにサンプリングしたアドレスのうち古いアドレスを捨てて最新のアドレスを転送できるようにすることも可能である。

ここでは、第2図と第6図に対して、第8図と第9図で変更のある部分についてのみ説明する。

第8図において、本例ではFIFO(A)36, FIFO(B)37の代わりに、ランダムアクセス可能なSRAM(A)

145 およびSRAM(B)146を配設し、SRAMのアドレスを制御するアドレスコントローラ147を設けている。そして、サンプリングカウンタ34からの出力値Cに従って、例えば第1表より得られる転送ライン数分出力できるようにアドレッシングされる。例えば、サンプリングアドレスの書き込みアドレスを“0”→“1”→“2”→“3”→“4”→“5”のように変化させ、転送ライン数が4ラインだとするとSRAMからの読出しアドレスを“2”から開始し、例えば“2”→“3”→“4”→“5”と変化させるわけである。このとき、次のアドレスサンプリング期間の開始で書き込みアドレスを“0”に戻して古いアドレス情報を捨てるようにすることになるのであるから、SRAMとしては一周期内で必要最小限の情報を記憶できる容量を持ったSRAMを準備すれば良い。

第9図の例では、SRAM(A)145にアドレスサンプリングされたL1, L2, L3, L4, L5の内、最新の4ラインであるL2, L3, L4, L5 がアクセスライン書換えサイクルで転送される。また、次のSRAM(A)145のア

うになる。

(その他)

なお、本発明は、以上述べた実施例にのみ限られることなく、本発明の趣旨を逸脱しない範囲で適宜の変形が可能であるのは勿論である。

例えば、上例では、①基本的にリフレッシュサイクルと部分書換えサイクルとを交互に行うようにし、②またそれらサイクルの繰返し周期( $T_1 + T_2$ )を可変とするとともに両サイクルの割合を設定可能とし、③さらに部分書換えのサイクルをアクセスライン数等に応じて調整するようにしたが、これらすべてを行うものでなくてもよい。また、これら①～③を一連のシーケンスにて行うのではなく、所望に応じていずれかのモードが適宜選択されて実行されるようにしてもよい。

さらに、上例では設定されたN値をそれぞれ上階値としたP値のテーブル群を設けたが、上記②での設定と③での調整との関係は適切に定めることができる。例えば設定されたN値をそれぞれ中階値の値としたP値のテーブル群を設けるように

ドレスサンプリング期間中にサンプリングされたL7, L8, L9の内、最新の2ラインであるL8, L9 がアクセスライン書換えサイクルで転送される。

FIFOの場合、書込んだ順番に読出しを行い、アドレス制御を外から行う必要が無いためにコンパクトに構成できるが、この例で示すように最新の情報を読出したい場合は、グミ一の読出し動作を行う必要があり、SRAMで構成する方が制御し易い。また、SRAMのアドレス制御を適切に行うことでFIFOのようにも動作させることもでき、さらに例えば上述において“5”→“4”→“3”→“2”のように逆方向に読出しを行うこともできるので、サンプリングしたアドレスに対する出力アドレスの自由度が大きい。すなわち、アクセスされたアドレスの古い方に意味があるか、新しい方に意味があるかは、場合によっても変わるであろうし、一概にどちらが適当かとは言えず、また読出し順序もハードウェア構成を有利にすることに関与することもあるから、SRAMを用いた構成ではその場に応じて適当と思われるものを選ぶよ

## 特開平4-3112 (11)

してもよい。また、カウント値CとP値とのテーブルを単一のものとし、例えばその最大のP値に対応してステップS100Aでは温度等に基づく適切なM値のみを定めるようにしても、 $T_1 + T_2$ の期間および $T_1$ と $T_2$ との比率を変更できる。また、アクセスライン数を計数するのにサンプリングカウンタを設ける代りに、FIFOメモリが通常有する「フル」、「ハーフ」、「エンプティ」等のフラグを用いてアクセスライン数を知るようにしてもよい。

加えて、上例では温度情報のみに基づいて帰線期間でCPU11が上記④の設定を行うようにしたが、当該設定のタイミングは適宜定めることができ、またCPU11によらずFLCインタフェース27側にそのような処理を行う手段を設けて、動作(第7図)の過程で常にM、Pの書き換えが行われるものでもよい。また、そのような温度情報のみならずその他の環境条件を考慮してもよく、これに代えて、あるいはこれとともにイメージ画像やチャクタ等の表示データ種類を考慮してもよい。

可能となる。

## 4. 図面の簡単な説明

第1図は本発明の一実施例の表示制御装置を組み込んだ情報処理装置全体のブロック構成図、

第2図は本発明の一実施例としてのFLCDインターフェースの構成を示すブロック図、

第3図は第2図示のFLCDインターフェースの基本的動作を説明するためのタイミングチャート、

第4図は第2図に示される同期制御回路の内部構成例を示すブロック図、

第5図は第2図に示されるサンプリングカウンタの計数動作を行なうための構成例を示すブロック図、

第6図は第2図示のFLCDインターフェースの部分書き換え動作期間の調整の態様を例示するタイミングチャート、

第7図は第2図示のFLCDインターフェースの動作手順の一例を示すフローチャート、

第8図は本発明の他の実施例としてのFLCDイン

さらに、アクセスしないしは表示の1単位は1ラインでもよく、複数のラインでもよい。

## 【発明の効果】

以上説明したように、本発明によれば、画面全体を順番に書き換えるサイクルとCPU等ホスト側からアクセスされたラインを書き換えるサイクルとを時分割に交互に行う手段を設けることで、部分書き込みするデータかどうかの識別をコマンド等に応じて行う必要無く、一定のリフレッシュレートを保つことができ、且つ書き換えられたデータを直ちに表示することも可能になる。従って、FLCディスプレイを用いるシステムのソフトウェア等の仕様を一切変更せずに、画面の表示を図形やカーソルの移動にも応答性高く追従させることができるようになり、さらにFLCの特性を十二分に活用した良好な表示を行うこともできる。また、システムからみたCRTとFLCとの互換性も保たれる。しかも単純な回路構成で実現されるので、廉価にして高速の表示制御を行うことが

ターフェースの構成を示すブロック図、

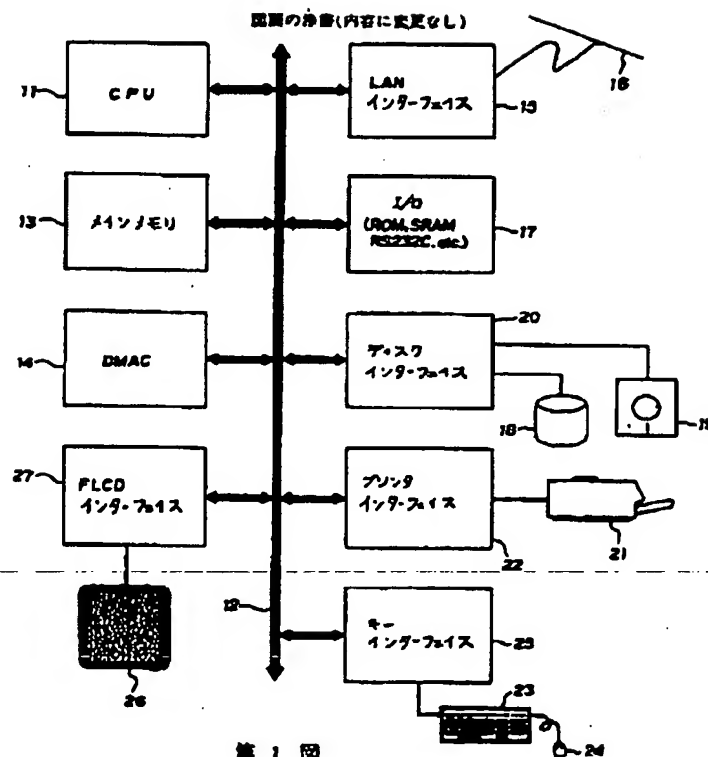
第9図は第8図示のFLCDインターフェースの動作を説明するためのタイミングチャート、

第10図は従来のCRTインターフェースの構成を示すブロック図である。

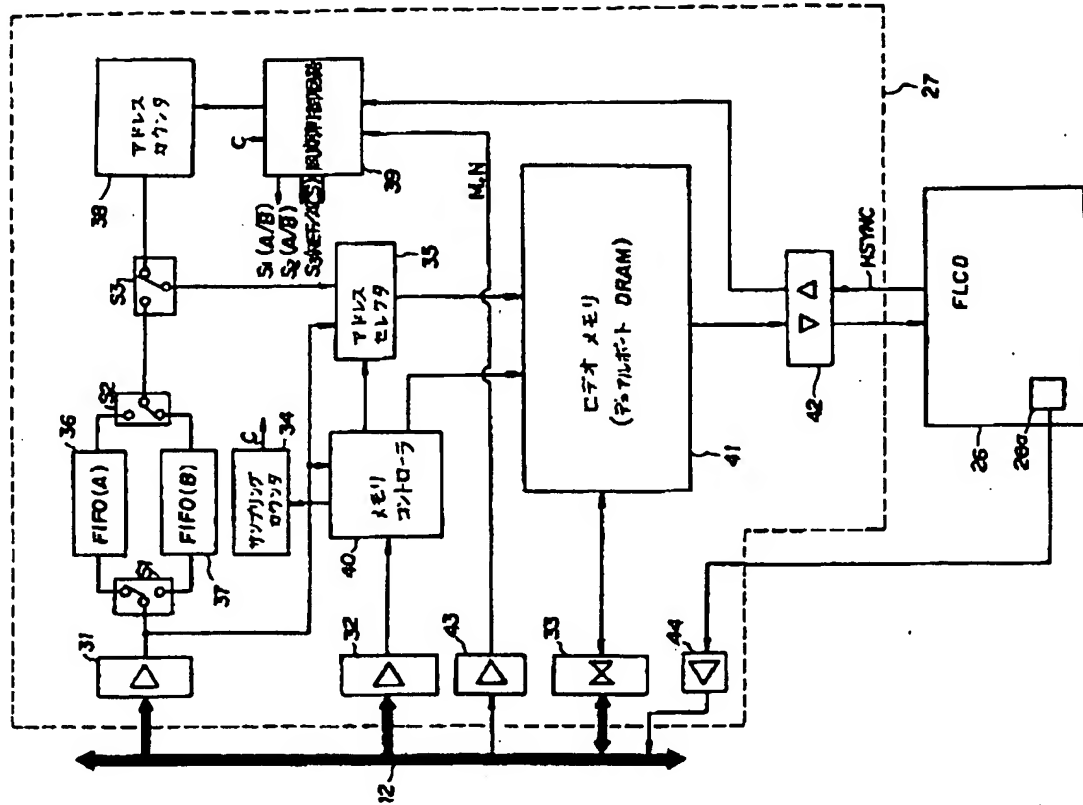
- 11…CPU、
- 12…アドレスバス、
- 13…システムバス、
- 14…DMAコントローラ、
- 15…LANインターフェース、
- 16…LAN、
- 17…I/O装置、
- 18…ハードディスク装置、
- 19…フロッピーディスク装置、
- 20…ディスクインターフェース、
- 21…プリンタ、
- 22…プリンタインターフェース、
- 23…キーボード、
- 24…マウス、

## 特開平4-3112 (12)

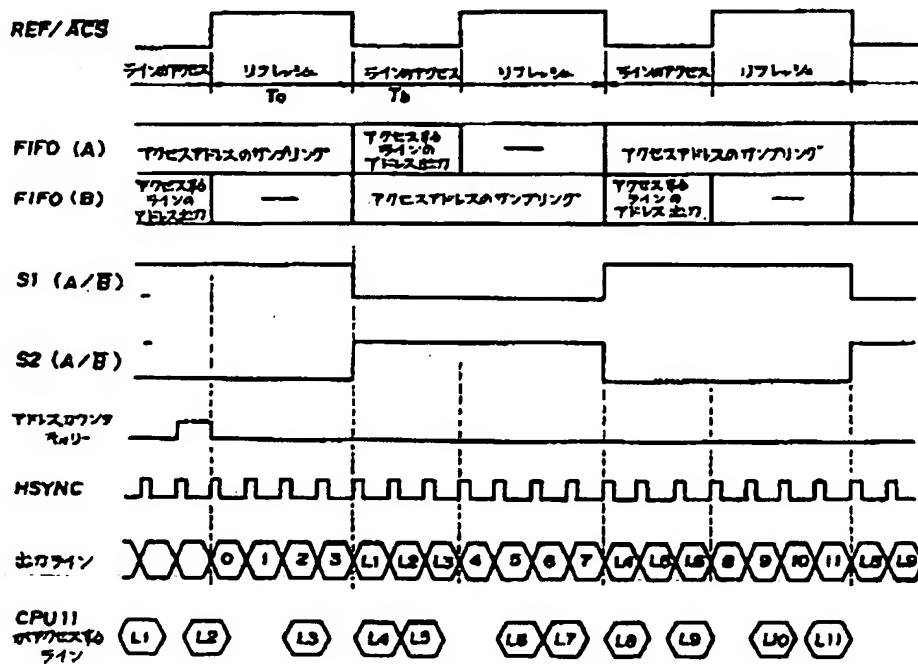
- 25…インターフェース、  
 25…FLCD (FLCD ディスプレイ)、  
 26a …温度センサ、  
 27…FLCDインターフェース、  
 31…アドレスドライバ、  
 32…コントロールバスドライバ、  
 33, 43, 44…データバスドライバ、  
 34…サンプリングカウンタ、  
 35…アドレスセレクト、  
 36…FIFO (A) メモリ、  
 37…FIFO (B) メモリ、  
 38…アドレスカウンタ、  
 39…同期制御回路、  
 40…メモリコントローラ、  
 41…ビデオメモリ、  
 42…ドライバレシーバ、  
 S1, S2, S3…スイッチ、  
 390 …メモリ、  
 391 …参照テーブル切換え部、  
 393 …カウンタ、  
 401 …アドレスラッチ部、  
 403 …比較回路、  
 145 …SRAM (A)、  
 146 …SRAM (B)、  
 147 …アドレスコントローラ。



特開平4-3112 (13)

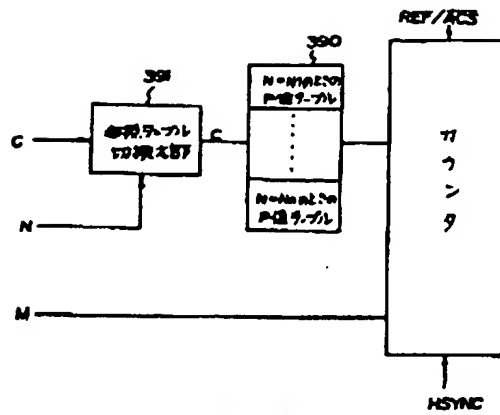


第 2 図

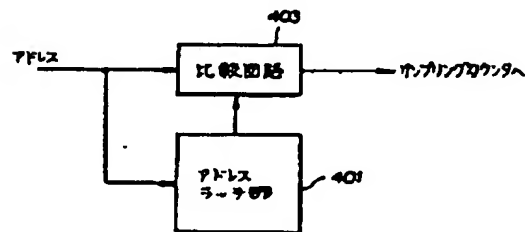


第 3 図

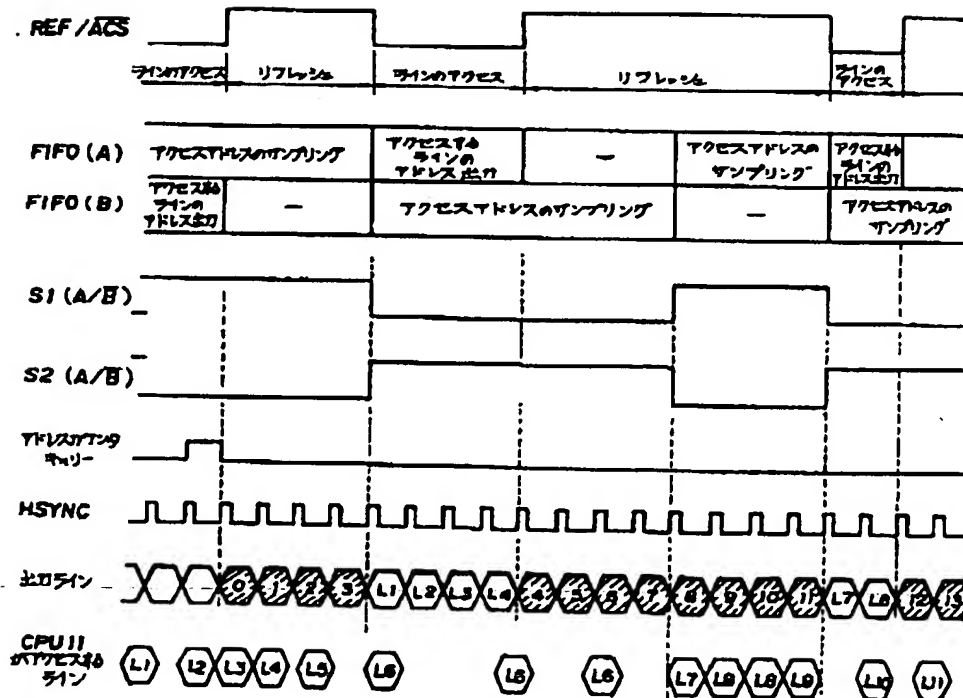
特開平4-3112 (14)



第 4 図

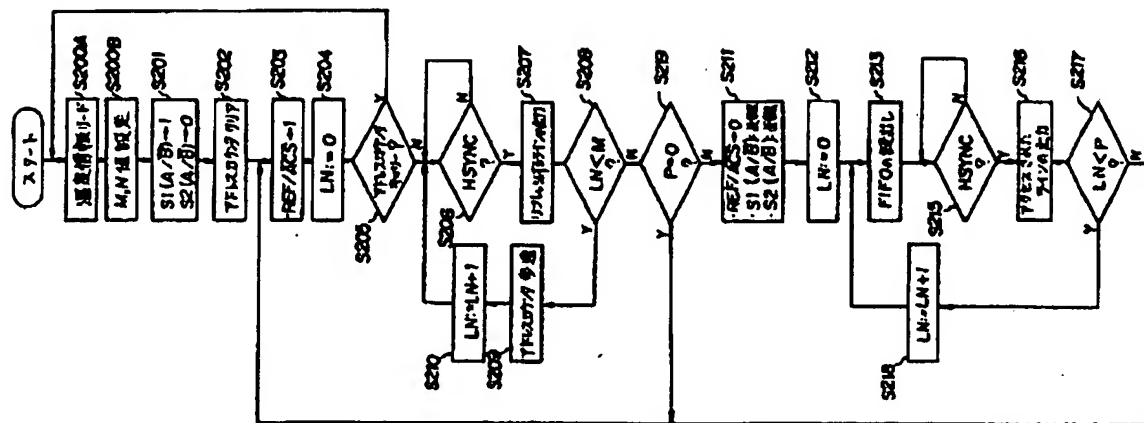


第 5 図



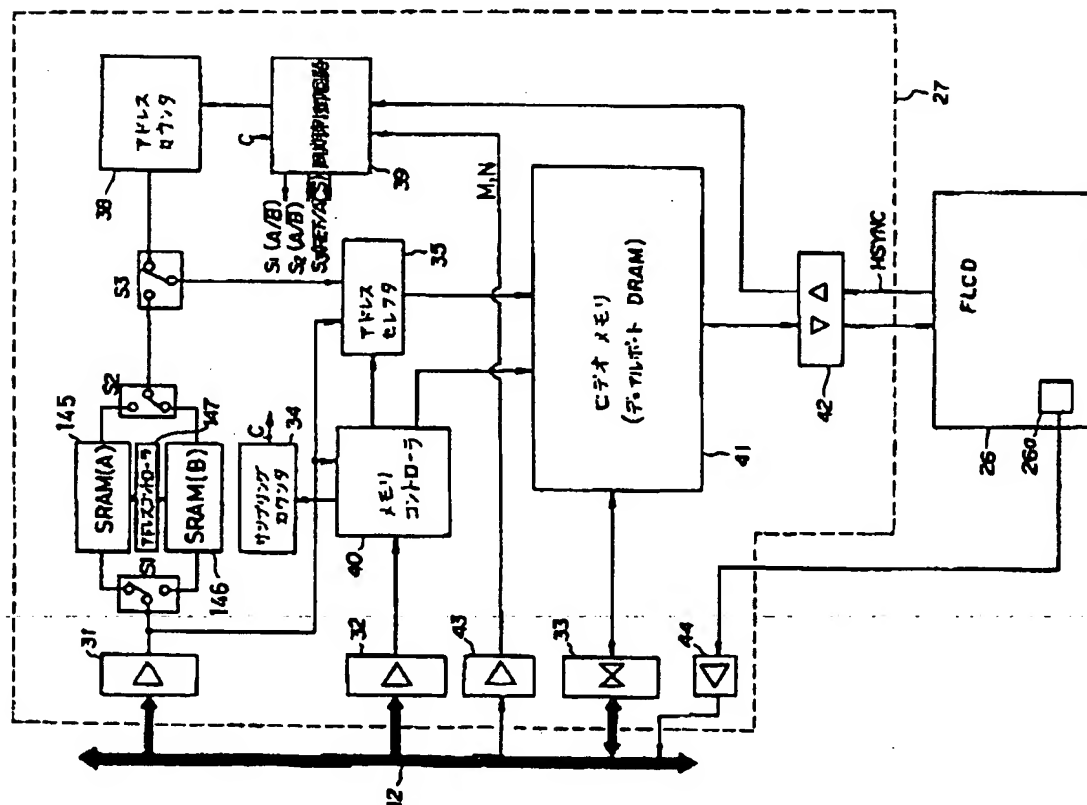
第 6 図

特開平4-3112 (16)





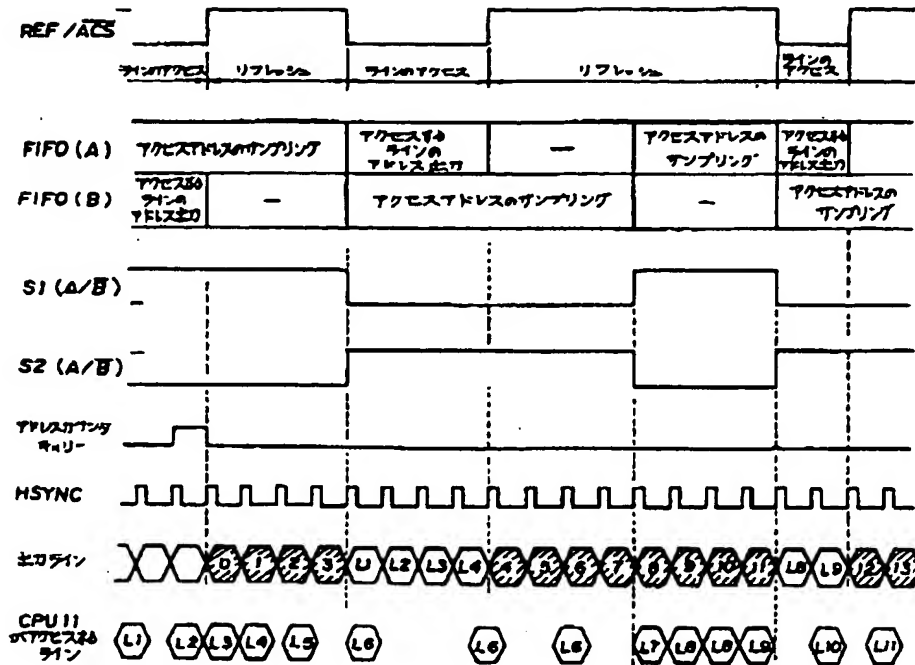




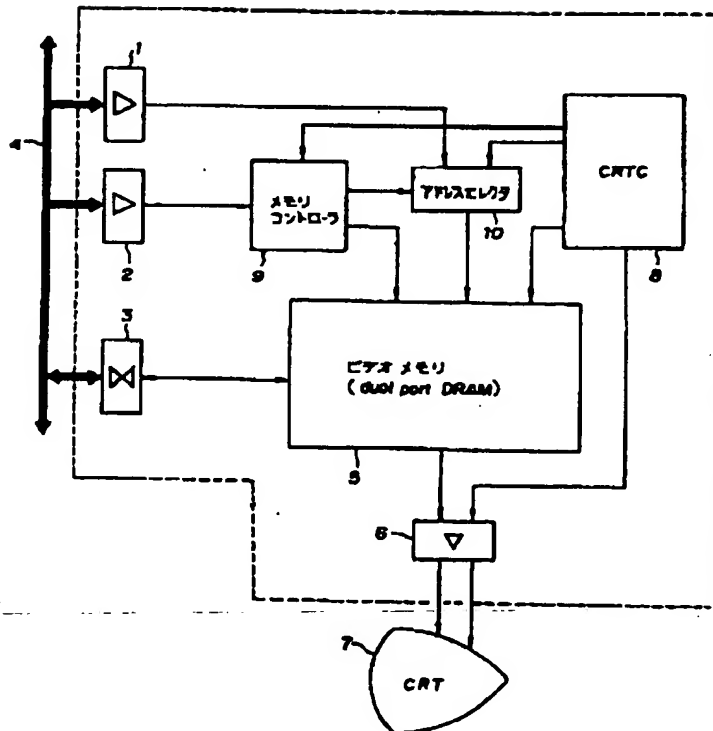
區 8 第



## 特開平4-3112 (16)



第 9 図



第 10 図

特開平4-3112 (17)

## 手続補正書 (方式)

## 手続補正書

平成 2 年 8 月 30 日

平成 3 年 7 月 19 日

特許庁長官 殿

特許庁長官 殿

## 1. 事件の表示

特願平2-105626号

## 2. 発明の名称

表示制御装置

## 3. 補正をする者

事件との関係 特許出願人  
(100) キヤノン株式会社

## 4. 代理人

住 所 〒107

東京都港区赤坂5丁目1番31号

第6セイコービル3階

電 話 (03)589-1201 (代表)

氏 名 (7748) 弁理士 谷 誠

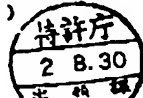
## 5. 補正命令の日付 平成 2 年 6 月 29 日

(発過日 平成 2 年 7 月 31 日)

## 6. 補正の対象

図面全図

## 7. 補正の内容

図面全図を別紙の通り浄書する。  
(内容に変更なし)

方式



## 7. 補正の内容

(1) 明細書第3頁第14行「第7図」を「第10図」

に補正する。

(2) 同書第9頁第10行「スフロール」を「スク

ロール」に補正する。

(3) 同書第15頁第5行「アドレスセクタ10」を  
「アドレスセクタ35」に補正する。(4) 同書第24頁第4行～第5行「リフレッシュ2  
を」を「リフレッシュを」に補正する。(5) 同書第43頁第1行「25…インターフェース」  
を「25…キーインタフェース」に補正する。(6) 図面の第4図および第9図を別紙の通り補正  
する。

以 上

## 1. 事件の表示

特願平2-105626号

## 2. 発明の名称

表示制御装置

## 3. 補正をする者

事件との関係 特許出願人  
(100) キヤノン株式会社

## 4. 代理人

〒107

東京都港区赤坂5丁目1番31号

第6セイコービル3階

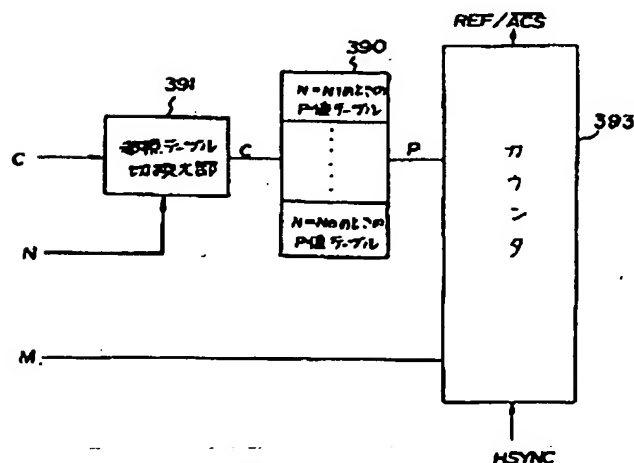
電 話 (03)589-1201 (代表)

(7748) 弁理士 谷 誠

## 5. 補正命令の日付 自 発

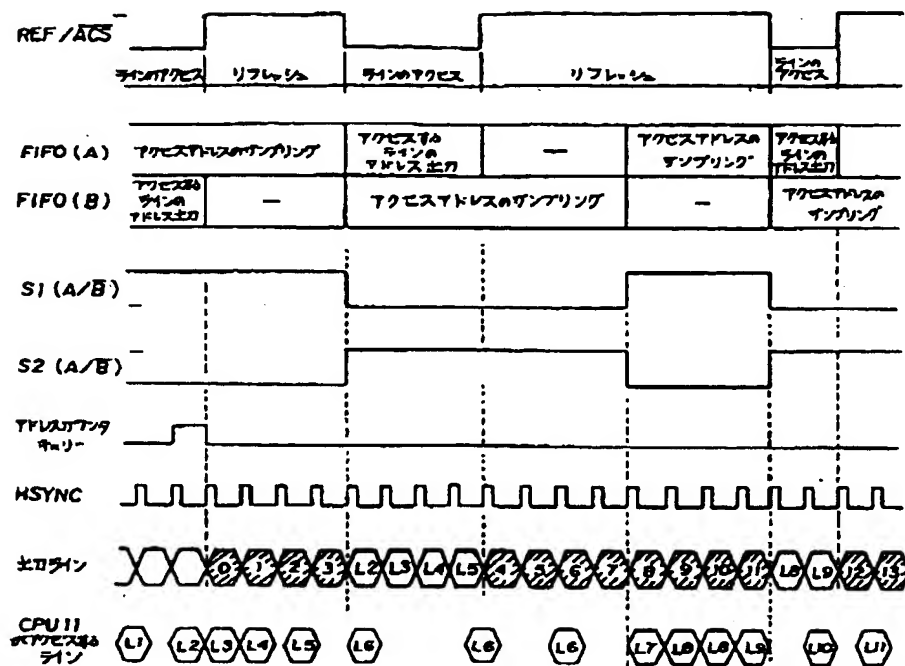
## 6. 補正の対象

明細書および図面



第 4 図

## 特開平4-3112 (18)



第 9 図